



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 34 837 A1** 2004.05.19

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 34 837.9**
(22) Anmeldetag: **30.07.2003**
(43) Offenlegungstag: **19.05.2004**

(51) Int Cl.⁷: **H04B 10/00**
H04B 10/04, H04B 10/06, H04B 10/08

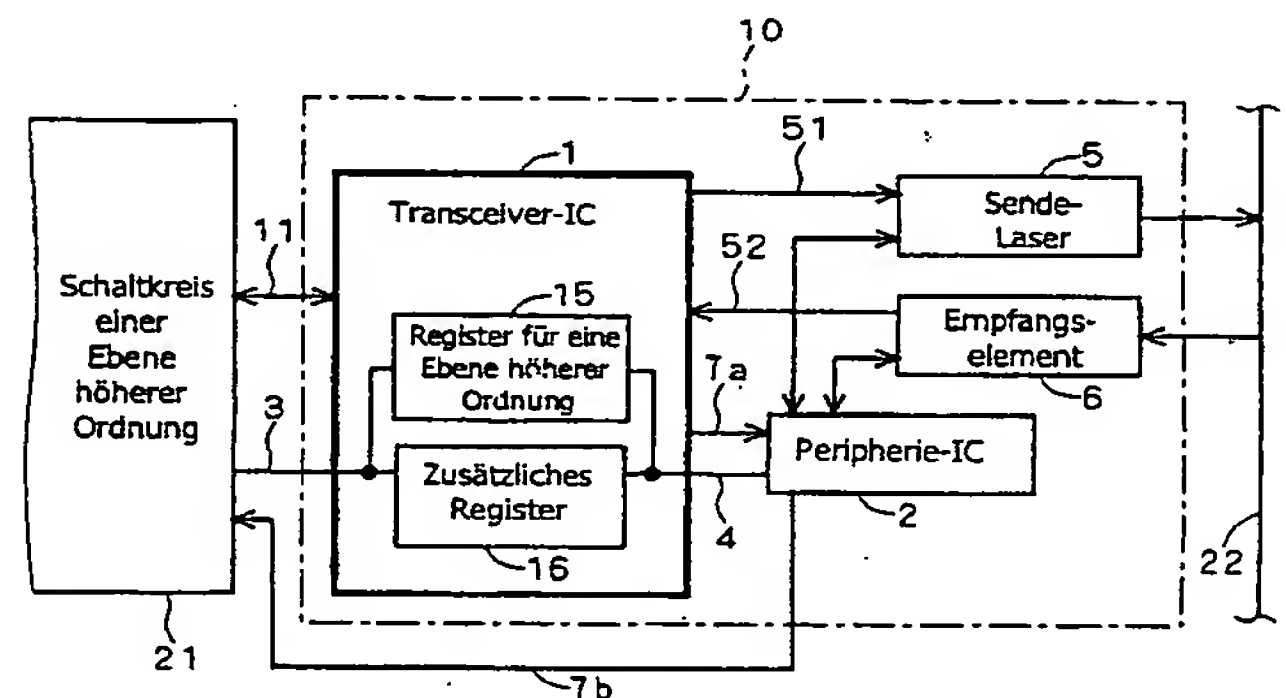
(30) Unionspriorität:
2002/314242 29.10.2002 JP
(71) Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

(74) Vertreter:
Meissner, Bolte & Partner GbR, 80538 München
(72) Erfinder:
Moriwaki, Shohei, Tokio/Tokyo, JP; Azekawa, Yoshifumi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Integrierter Transceiver-Schaltkreis und Kommunikationsbaugruppe**

(57) Zusammenfassung: Eine optische Kommunikationsbaugruppe (10) weist einen Sende-Laser (5), ein Empfangselement (6) und einen Peripherie-IC (2) für die Steuerung des Sende-Lasers (5) und des Empfangselements (6) auf. Der Peripherie-IC (2) ist mit einem Transceiver-IC (1) über einen seriellen Bus (4) für den Peripherie-IC verbunden. Der Transceiver-IC (1) der optischen Kommunikationsbaugruppe (10) ist mit einem Schaltkreis (21) einer Ebene höherer Ordnung über einen seriellen Bus für eine Ebene höherer Ordnung verbunden. Der Transceiver-IC (1) weist ein Register (15) für eine Ebene höherer Ordnung einschließlich eines NV-Registers und eines DOM-Registers und ein zusätzliches Register (16) auf, das ein LASI-Register und ein VS-Register einschließt. Sowohl der serielle Bus (3) für die Ebene höherer Ordnung als auch der serielle Bus (4) für den Peripherie-IC sind mit dem Register (15) für eine Ebene höherer Ordnung und dem zusätzlichen Register (16) verbunden.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf einen Transceiver, der für Kommunikationsbaugruppen vorgesehen ist, die miteinander durch Busse verbunden sind. Die vorliegende Erfindung kann z.B. auf einen Transceiver angewendet werden, der dem durch die IEEE 802.3ae festgelegten Standard entspricht.

[0002] Im folgenden wird auf zwei Veröffentlichungen Bezug genommen:

[0003] Dokument 1: „THE I2C-BUS SPECIFICATION VERSION 2.1“, Januar 2000, Philips Semiconductor,

<http://www-us.semiconductors.philips.com/acrobat/various/I2C_BUS_SPECIFICATION_3.pdf>, (Zugriffsdatum 17. Oktober 2002).

[0004] Dokument 2: "A Cooperation Agreement for 10 Gigabit Ethernet Transceiver Package Issue 3.0", 18. September 2002, XENPAK, <http://www.xenpak.org/MSA/XENPAK_MSA_R3.0.pdf>, (Zugriffsdatum 17. Oktober 2002).

[0005] Der beispielhafte Transceiver, der für Kommunikationsbaugruppen vorgesehen ist, die untereinander durch Busse verbunden sind, entspricht dem IEEE 802.3ae-Standard. Als serieller Bus, der gemäß der IEEE 802.3ae zum Einsatz gelangt, sind folgende anwendbar: ein MDIO-Interface-Bus für die Management Dateneingabe/-ausgabe (management data input/output, in der Folge wird hierauf als „MDIO-Bus“ Bezug genommen), ein I²C-Bus (Inter-IC-Bus, in der Folge wird hierauf als „I²C-Bus“ Bezug genommen), der im obigen Dokument 1 erläutert ist, oder dergleichen.

[0006] Die Konfiguration gemäß der IEEE 802.3ae-Spezifikation wird in dem oben erwähnten Dokument 2 erläutert. Das Dokument 2 gibt Register an, welche für einen Transistor vorgesehen sind, der dem IEEE 802.3ae-Standard entspricht. Ein Transceiver-IC für ein 10 Gb (Gigabit) Ethernet® (integrierter Schaltkreis eines Transceivers; eine Bezugnahme hierauf erfolgt nachstehend einfach als „Transceiver-IC“) wurde gemäß dem IEEE 802.3ae-Standard entwickelt und ist mit in einem „XENPAK Registersatz“ versehen, welcher in Dokument 2 angegeben ist.

[0007] Letztere weist folgende Register auf: ein nicht flüchtiges Register (hierauf wird in der Folge als „NV-Register“ Bezug genommen), ein Register für eine „digitale optische Überwachung“ (in der Folge hier als „DOM-Register“ bezeichnet), ein Register für eine „Verbindungsalarmzustands-Unterbrechung“ („link alarm status interrupt“, hier in der Folge als „LASI-Register“ bezeichnet), und ein Register für „Anbieter-Spezifisches“ („vendor specific“, hier in der Folge als „VS-Register“ bezeichnet).

[0008] Ein Transceiver-IC ist zur Steuerung einer Vielzahl von Transceiver-ICs über einen MDIO-Bus als einem Bus höherer Ordnung mit einer Ebene höherer Ordnung, wie z.B. einer MAC (Medienzugriffs-

steuerung, „media access control“-Ebene verbunden. Zusammen mit einem Sende-Laser und einem Peripherie-IC (integrierter Schaltkreis) zur Überwachung und Steuerung dieses Lasers bildet der Transceiver-IC eine optische Kommunikationsbaugruppe. Der Peripherie-IC und der Transceiver-IC sind über einen I²C-Bus für einen Peripherie-IC verbunden.

[0009] Dem Peripherie-IC war es jedoch nicht möglich, direkt auf das NV-Register und das DOM-Register zuzugreifen. Demnach können diese Register nicht unmittelbar auf Informationen reagieren, die vom Peripherie-IC bereitgestellt werden, wie z.B. eine Anomalie im Sende-Laser, so daß die Funktion des Peripherie-IC begrenzt ist, der eine Hilfseinrichtung für den Transceiver-IC in der optischen Kommunikationsbaugruppe sein sollte.

Aufgabenstellung

[0010] Aufgabe der vorliegenden Erfindung ist es deshalb, ein Register von einem Peripherie-IC aus zugänglich zu machen, welcher normalerweise keinen Zugriff auf dieses besitzt.

[0011] Gemäß der vorliegenden Erfindung weist ein integrierter Schaltkreis eines Transceivers einen Bus für eine Ebene höherer Ordnung, einen Bus für einen Peripherie-IC und ein Register für eine Ebene höherer Ordnung auf. Der Bus für die Ebene höherer Ordnung ist mit der Ebene höherer Ordnung verbunden. Der Bus für den Peripherie-IC ist mit einem peripheren integrierten Schaltkreis verbunden. Der Inhalt des Registers für eine Ebene höherer Ordnung wird auf der Ebene höherer Ordnung über den Bus für die Ebene höherer Ordnung gelesen. Schreiben in das Register für eine Ebene höherer Ordnung ist über den Bus für den Peripherie-IC möglich.

[0012] Gemäß der vorliegenden Erfindung weist eine Kommunikationsbaugruppe den integrierten Transceiver-Schaltkreis und den peripheren integrierten Schaltkreis auf. Ein Anomalie-Warnsignal wird im Falle der Erfassung einer Anomalie vom peripheren integrierten Schaltkreis an die Ebene höherer Ordnung gegeben.

[0013] Wenn eine Anomalie erfaßt wird, benachrichtigt der periphere integrierte Schaltkreis das Register für die Ebene höherer Ordnung über den Bus für den Peripherie-IC über die Erfassung der Anomalie. Die Ebene höherer Ordnung liest den Inhalt, der im Register für die Ebene höherer Ordnung gespeichert ist, über den Bus für die Ebene höherer Ordnung. Im Ergebnis ist es der Ebene höherer Ordnung möglich, auf die Anomalie zu reagieren.

Ausführungsbeispiel

[0014] Diese und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden, detaillierten Beschreibung der vorliegenden Erfindung noch besser verständlich, wenn sie in Verbindung mit den beiliegenden

Zeichnungen betrachtet wird. Diese zeigen in:

[0015] **Fig. 1** ein Blockdiagramm einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung;

[0016] **Fig. 2** ein beispielhaftes Blockdiagramm einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung;

[0017] **Fig. 3** ein beispielhaftes Blockdiagramm einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung; und

[0018] **Fig. 4A bis Fig. 4F** ein beispielhaftes Ablaufdiagramm der dritten bevorzugten Ausführungsform der vorliegenden Erfindung.

Erste bevorzugte Ausführungsform

[0019] **Fig. 1** ist ein Blockdiagramm der ersten bevorzugten Ausführungsform der vorliegenden Erfindung. Eine optische Kommunikationsbaugruppe 10 besitzt einen Transceiver-IC 1 und fungiert als Kommunikationsbaugruppe für ein 10 Gb Ethernet®.

[0020] Die optische Kommunikationsbaugruppe 10 weist weiterhin einen Sende-Laser 5 und ein Empfangselement 6 auf, welche für die Datenübertragung zwischen der optischen Kommunikationsbaugruppe 10 und der Umgebung über einen Lichtleiter bzw. ein Lichtleiterkabel verwendet werden. Der Sende-Laser 5 erhält zu sendende Daten 51 von dem Transceiver IC 1. Das Empfangselement 6 stellt Empfangsdaten 52 für den Transceiver IC 1 bereit.

[0021] Die optische Kommunikationsbaugruppe 10 weist auch einen Peripherie-IC 2 für Steueroperationen des Sende-Lasers 5 und des Empfangselements 6 auf. Der Peripherie-IC 2 ist mit dem Transceiver-IC 1 über einen seriellen Bus 4 für einen Peripherie-IC verbunden. Der genannte I²C-Bus kann beispielsweise als serieller Bus 4 angewendet werden.

[0022] Die optische Kommunikationsbaugruppe 10 ist mit einem Schaltkreis 21 einer höheren Ebene verbunden. Genauer gesagt, es sind der Transceiver-IC 1 und der Schaltkreis 21 der höheren Ebene über einen seriellen Bus 3 für eine Ebene höherer Ordnung verbunden. Der vorgenannte MDIO-Bus kann beispielsweise als serieller Bus 3 angewendet werden. Eine weitere Verbindung wird zwischen dem Transceiver-IC 1 und dem Schaltkreis 21 einer höheren Ebene zum Senden und Empfangen von Kommunikationsdaten 11 ausgebildet.

[0023] Der Transceiver-IC 1 weist ein Register 15 für eine Ebene höherer Ordnung auf, das ein NV-Register und ein DOM-Register einschließt, und weist ferner ein zusätzliches Register 16 auf, das ein LA-SI-Register und ein VS-Register einschließt. Sowohl der serielle Bus 3 für eine Ebene höherer Ordnung als auch der serielle Bus 4 für den Peripherie-IC sind mit dem Register 15 für eine Ebene höherer Ordnung und mit dem zusätzlichen Register 16 verbunden.

[0024] Gemäß der Erfindung kann vom seriellen Bus 4 für den Peripherie-IC auf das Register 15 für eine Ebene höherer Ordnung zugegriffen werden.

Demzufolge können Informationen, die die Erfassung einer Anomalie anzeigen, über den seriellen Bus 4 für den Peripherie-IC in das Register 15 für eine Ebene höherer Ordnung geschrieben werden, wenn der Peripherie-IC 2 eine Anomalie im Sende-Laser 5 oder in dem Empfangselement 6 erfaßt.

[0025] Der Schaltkreis 21 einer Ebene höherer Ordnung liest den Inhalt, der im Register 15 für die Ebene höherer Ordnung gespeichert ist, durch den seriellen Bus für eine Ebene höherer Ordnung. Demzufolge kann eine solche Anomalie durch den Schaltkreis 21 einer Ebene höherer Ordnung gehandhabt werden.

[0026] Der Peripherie-IC 2 überwacht beispielsweise die Temperatur im Sende-Laser 5 oder in der optischen Kommunikationsbaugruppe 10, die Vorspannung im Sende-Laser 5, die Vorspannung im Empfangselement 6 und die Spannung der Energiequelle des Sende-Lasers 5. Durch einen Vergleich der Betriebsdauer und der Ausgangsleistung des Sende-Lasers 5 steuert der Peripherie-IC 2 die Vorspannung im Sende-Laser 5, so daß die Ausgangsleistung des Sende-Lasers 5 auf einem konstanten Pegel gehalten wird.

[0027] Wenn eine Anomalie festgestellt wird, schreibt der Peripherie-IC 2 Informationen in das Register 15 für eine Ebene höherer Ordnung (beispielsweise in das DOM-Register), die die Erfassung der Anomalie anzeigen. Der Schaltkreis 21 einer Ebene höherer Ordnung liest den Inhalt des DOM-Registers. Wenn festgestellt worden ist, daß die optische Kommunikationsbaugruppe 10 in einem ungeeigneten Zustand zur Aufrechterhaltung ihres Betriebs ist, dann wird die optische Kommunikationsbaugruppe 10 beispielsweise durch den Schaltkreis 21 einer Ebene höherer Ordnung gestoppt.

[0028] Wenn durch den Peripherie-IC 2 eine Anomalie erfaßt wird, dann wird ein Anomalie-Warnsignal 7b vorzugsweise vom Peripherie-IC 2 an den Schaltkreis 21 einer Ebene höherer Ordnung gegeben. Das Signal 7b veranlaßt den Schaltkreis 21 einer Ebene höherer Ordnung, den Inhalt des Registers 15 für eine Ebene höherer Ordnung über den seriellen Bus 3 für eine Ebene höherer Ordnung zu lesen, so daß die Erfassung der Anomalie dem Schaltkreis 21 einer Ebene höherer Ordnung gemeldet wird.

[0029] Wenn eine Anomalie in den Kommunikations-Daten im Transceiver-IC 1 erfaßt wird, kann sie dem Peripherie-IC 2 als Anomalie-Erfassungsinformation 7a gemeldet werden. Das Anomalie-Warnsignal 7b wird vorzugsweise an den Schaltkreis 21 einer Ebene höherer Ordnung bei einer Erfassung der Anomalie durch den Transceiver-IC 1 sowie den Peripherie-IC 2 gegeben.

Zweite bevorzugte Ausführungsform

[0030] **Fig. 2** ist ein beispielhaftes Blockdiagramm der zweiten bevorzugten Ausführungsform der vorliegenden Erfindung, das den internen Aufbau des Transceiver-ICs 1 darstellt. Der Transceiver-IC 1

weist dabei Schnittstellen, nämlich ein Interface 17 für eine Ebene höherer Ordnung und ein Interface 18 für einen Peripherie-IC auf. In der folgenden Beschreibung ist als Beispiel der MDIO-Bus der serielle Bus 3 für eine Ebene höherer Ordnung und der I²C-Bus ist der serielle Bus 4 für den Peripherie-IC. Diese werden als MDIO-Bus 3 und als I²C-Bus 4 bezeichnet.

[0031] In diesem Zusammenhang ist das Interface 17 für eine Ebene höherer Ordnung das Interface für den MDIO und das Interface 18 für den Peripherie-IC ist das Interface für den I²C (in den Figuren jeweils als „MDIO_IF“ und „I²C_IF“ bezeichnet). In der Folge sind diese als MDIO-Interface 17 und I²C-Interface 18 bezeichnet.

[0032] Das MDIO-Interface 17 empfängt Daten (MDI) 73, die durch den MDIO-Bus 3 von außen als Eingabe zur Verfügung gestellt werden, und gibt Daten (MDO) 72 nach außen hin ab.

[0033] Das MDIO-Interface 17 weist einen Interface-Körper 17a und einen Zugriffs-Controller 17b zur Verwaltung des Zugriffs auf das Register 15 für eine Ebene höherer Ordnung und auf das zusätzliche Register 16 auf. Selbstverständlich werden das Senden und Empfangen von Daten zwischen dem Interface-Körper 17a und dem Zugriffs-Controller 17b ausgeführt. Der Interface-Körper 17a und der Zugriffs-Controller 17b arbeiten auf Basis jeweiliger Taktsignale.

[0034] Genauer gesagt, es arbeitet der Interface-Körper 17a auf der Basis eines externen Taktes (MDC) 71, der ihm vom MDIO-Bus 3 zur Verfügung gestellt wird. Der Zugriffs-Controller 17b arbeitet auf Basis eines internen Taktes 14, der ihm zur Verfügung gestellt wird. Das Senden von Daten und deren Empfang zwischen dem Interface-Körper 17a und dem Zugriffs-Controller 17b werden beispielsweise gemäß dem externen Takt 71 ausgeführt.

[0035] Ein serieller Takt 81 und serielle Daten 82 werden zwischen dem I²C-Interface 18 und dem I²C-Bus 4 gesendet und empfangen. Der serielle Takt 81 und die seriellen Daten 82 werden von einer SCL (serielle Taktleitung) und einer SDA (serielle Datenleitung) des I²C-Busses 4 erzeugt.

[0036] Das I²C-Interface 18 schließt einen Interface-Körper 18a und einen Zugriffs-Controller 18b zur Verwaltung des Zugriffs auf das Register 15 für eine Ebene höherer Ordnung und auf das zusätzliche Register 16 ein. Selbstverständlich werden das Senden und der Empfang von Daten zwischen dem Interface-Körper 18a und dem Zugriffs-Controller 18b ausgeführt. Der Interface-Körper 18a und der Zugriffs-Controller 18b arbeiten auf der Basis jeweiliger Taktsignale.

[0037] Genauer gesagt, es arbeitet der Interface-Körper 18a auf der Basis des seriellen Takts 81, der ihm vom I²C-Bus 4 zur Verfügung gestellt wird. Der Zugriffs-Controller 18b arbeitet auf der Basis des internen Takts 14, der ihm zur Verfügung gestellt wird. Das Senden und Empfangen von Daten zwi-

schen dem Interface-Körper 18a und dem Zugriffs-Controller 18b werden beispielsweise gemäß dem seriellen Takt 81 ausgeführt.

[0038] In der zweiten bevorzugten Ausführungsform werden das Register 15 für eine Ebene höherer Ordnung und das zusätzliche Register 16 gemeinsam als ein Register 30 behandelt. Weiterhin wird der interne Takt 14 dem Register 30 zur Verfügung gestellt, und demzufolge ist es den Zugriffs-Controllern 17b und 18b möglich, auf das Register 30 zuzugreifen. Des weiteren ist das Register 30 mit den Zugriffs-Controllern 17b und 18b über eine Datenleitung 29 verbunden. Folglich können Daten, die in das Register 30 geschrieben und aus diesem gelesen werden, zwischen den Zugriffs-Controllern 17b und 18b über die Datenleitung 29 gesendet und empfangen werden.

[0039] Der interne Takt 14 wird innerhalb des Transceiver-ICs 1 erzeugt. Der Transceiver-IC 1 kann beispielsweise mit einem Frequenzteiler 19 versehen sein. Ein Taktsignal zur Steuerung des Betriebs des Transceiver-ICs 1 wird durch den Frequenzteiler 19 geteilt, und das daraus resultierende Ergebnis dient als interner Takt 14. Der interne Takt 14 wird auf einer Verbindungsleitung ICLK übertragen.

[0040] Wie erörtert, wird der interne Takt 14 sowohl dem Register 15 für eine Ebene höherer Ordnung als auch dem zusätzlichen Register 16 zur Verfügung gestellt, und die Zugriffs-Controller 17b und 18b arbeiten auf der Basis des internen Takts 14. Als Ergebnis kann auch vom I²C-Bus 4 auf das Register 15 für eine Ebene höherer Ordnung zugegriffen werden.

Dritte bevorzugte Ausführungsform

[0041] Fig. 3 ist ein beispielhaftes Blockdiagramm der dritten bevorzugten Ausführungsform der vorliegenden Erfindung. Die dritte bevorzugte Ausführungsform unterscheidet sich von der zweiten bevorzugten Ausführungsform dadurch, daß dem Interface-Körper 18a des I²C-Interfaces 18 vom Frequenzteiler 19 ein anderer interner Takt 13 zur Verfügung gestellt wird. Der interne Takt 13 wird auf einer Verbindungsleitung BCLK übertragen.

[0042] Der interne Takt 13 arbeitet als ein Abtast-Taktsignal für den seriellen Takt 81 und die seriellen Daten 82. Die Frequenz des internen Taktes 13 ist beispielsweise gleich der vierfachen Frequenz des seriellen Taktes 81. Der interne Takt 14 kann durch Teilen des internen Taktsignals 13 erzeugt werden.

[0043] Die Fig. 4A bis 4F bilden zusammen ein beispielhaftes Ablaufdiagramm, das den Zusammenhang zwischen dem Signal auf der Verbindungsleitung BCLK (interner Takt 13), dem Signal auf dem SCL des I²C-Busses 4 (serieller Takt 81) und dem Signal auf dem SDA (serielle Daten 82) des I²C-Busses 4 und dem Betrieb des I²C-Interfaces 18 darstellt.

[0044] Fig. 4A ist ein beispielhaftes Übergangsdiagramm des internen Taktes 13. An der abfallenden Flanke in Fig. 4A werden der serielle Takt 81 und die seriellen Daten 82 gesampelt (abgetastet). Die

Fig. 4B bis 4F zeigen den beispielhaften Betrieb des I²C-Interfaces, für welches der I²C-Bus im allgemeinen verwendet wird.

[0045] **Fig. 4B** gibt den Zustand für den Start einer Datenübertragung an. Wenn das Signal auf dem SCL in einem „H“-Zustand ist, löst ein „N“ nach „L“-Übergang des Signals auf dem SDA den Beginn der Datenübertragung aus.

[0046] **Fig. 4C** gibt den Zustand für einen erneuten Start an. Wenn das Signal auf dem SCL im „L“-Zustand ist, bedeutet ein Übergang des Signals auf dem SDA von „L“ nach „H“, daß die Datenübertragung fortgesetzt wird. Ähnlich dem Zustand für den Start der Datenübertragung löst ein „H“ nach „L“-Übergang des Signals auf dem SDA einen erneuten Start der Datenübertragung aus, wenn das Signal auf dem SCL in der folgenden Periode im „H“-Zustand ist.

[0047] **Fig. 4D** gibt den Zustand für eine Beendigung einer Datenübertragung an. Wenn das Signal auf dem SCL im „H“-Zustand ist, löst ein „L“ nach „H“-Übergang des Signals auf dem SDA die Beendigung der Datenübertragung aus.

[0048] Die **Fig. 4E und 4F** zeigen Schreib- und Leseoperationen. Für die Effektivität der Daten wird der Zustand des Signals auf dem SDA beliebig geändert, wenn das Signal auf dem SCL im „L“-Zustand ist.

[0049] Wie erörtert, werden der serielle Takt **81** und die seriellen Daten **82** unter Verwendung eines Sample-Elements oder Abtast-Elements, das eine höhere Frequenz besitzt als der serielle Takt **81**, gesampelt. Als Ergebnis können der serielle Takt **81** und die seriellen Daten **82** mit einem hohen Grad an Zuverlässigkeit erfaßt werden. Weiterhin erhält man das interne Taktsignal **13** als ein solches Sample-Element durch den Frequenzteiler **19**, welcher das interne Taktsignal **14** erzeugt.

[0050] In jeder der vorangehenden Ausführungsformen, sowohl in der ersten, als auch in der zweiten und dritten Ausführungsform, sind der serielle Bus **3** für eine Ebene höherer Ordnung und der serielle Bus **4** für einen Peripherie-IC beispielsweise jeweils MDIO-Busse und I²C-Busse. Die Anwendbarkeit der vorliegenden Erfindung kann jedoch auf einen alternativen Standard erweitert werden.

Patentansprüche

1. Integrierter Transceiver-Schaltkreis (1), der folgendes aufweist:

einen Bus (3) für eine Ebene höherer Ordnung, der mit einer Ebene höherer Ordnung (21) verbunden ist;
einen Bus (4) für einen Peripherie-IC, der mit einem peripheren integrierten Schaltkreis (2) verbunden ist;
und

ein Register (15) für eine Ebene höherer Ordnung, dessen Inhalt in der Ebene höherer Ordnung über den Bus für eine Ebene höherer Ordnung gelesen wird,
wobei

das Schreiben in das Register für eine Ebene höhe-

rer Ordnung für den Peripherie-IC über den Bus möglich ist.

2. Schaltkreis nach Anspruch 1, der weiterhin folgendes aufweist:

ein Interface (17) für eine Ebene höherer Ordnung, das mit dem Bus für eine Ebene höherer Ordnung verbunden ist; und

ein Interface (18) für einen Peripherie-IC, das mit dem Bus für den Peripherie-IC verbunden ist, wobei das Interface für eine Ebene höherer Ordnung folgendes aufweist:

einen Interface-Körper (17a); und

einen Zugriffs-Controller (17b) zur Steuerung des Zugriffs auf das Register für

eine Ebene höherer Ordnung, wobei

das Interface für den Peripherie-IC folgendes aufweist:

einen Interface-Körper (18a); und

einen Zugriffs-Controller (18b) zur Steuerung des Zugriffs auf das Register für

eine Ebene höherer Ordnung,

wobei der Zugriffs-Controller des Interfaces für den Peripherie-IC, der Zugriffs-Controller des Interfaces für eine Ebene höherer Ordnung und das Register für eine Ebene höherer Ordnung jeweils ein erstes internes Taktsignal (14) empfangen.

3. Schaltkreis nach Anspruch 2, der weiterhin folgendes aufweist: einen Generator (19) zur Erzeugung des ersten internen Taktsignals.

4. Schaltkreis nach Anspruch 3, dadurch gekennzeichnet,

daß der Interface-Körper (17a) des Interfaces für eine Ebene höherer Ordnung auf der Basis eines ersten externen Taktsignals (71) arbeitet, das ihm über den Bus (3) für eine Ebene höherer Ordnung zur Verfügung gestellt wird,

und daß der Interface-Körper (18a) des Interfaces für den Peripherie-IC auf der Basis eines zweiten externen Taktsignals (81) arbeitet, das ihm über den Bus (4) für den Peripherie-IC zur Verfügung gestellt wird.

5. Schaltkreis nach Anspruch 4, dadurch gekennzeichnet, daß der Bus (4) für den Peripherie-IC ein I²C-Bus ist und daß das zweite externe Taktsignal (81) von einer SCL (serielle Takt-Leitung) des I²C-Busses gegeben wird.

6. Schaltkreis nach Anspruch 5, dadurch gekennzeichnet,

daß eine SDA (serielle Daten-Leitung) des I²C-Busses mit dem Interface-Körper des Interfaces für den Peripherie-IC verbunden ist,

daß das zweite externe Taktsignal und ein Signal auf der SDA abgetastet werden unter Verwendung eines zweiten internen Taktsignals, das eine höhere Frequenz besitzt, als das zweite externe Taktsignal, und daß das zweite interne Taktsignal innerhalb des

integrierten Schaltkreises des Transceivers erzeugt wird.

7. Schaltkreis nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß das Register für eine Ebene höherer Ordnung mindestens ein nicht flüchtiges Register und/oder ein digitales optisches Überwachungsregister gemäß einem XENPAK-Registersatz besitzt.

8. Kommunikationsbaugruppe, die folgendes aufweist:

einen integrierten Transceiver-Schaltkreis (1); und einen peripheren integrierten Schaltkreis (2), wobei der integrierte Transceiver-Schaltkreis folgendes aufweist:

einen Bus (3) für eine Ebene höherer Ordnung, der mit einer Ebene höherer Ordnung (21) verbunden ist; einen Bus (4) für einen Peripherie-IC, der mit dem peripheren integrierten Schaltkreis verbunden ist; und ein Register (15) für eine Ebene höherer Ordnung, dessen Inhalt in der Ebene höherer Ordnung über den Bus für die Ebene höherer Ordnung gelesen wird,

wobei

das Schreiben in das Register für die Ebene höherer Ordnung für den Peripherie-IC über den Bus möglich ist

und ein Anomalie-Warnsignal (7b) im Falle der Erfassung einer Anomalie vom peripheren integrierten Schaltkreis an die Ebene höherer Ordnung gegeben wird.

9. Kommunikationsbaugruppe nach Anspruch 8, die weiterhin folgendes aufweist:

ein Interface (17) für eine Ebene höherer Ordnung, das mit dem Bus für eine Ebene höherer Ordnung verbunden ist; und

ein Interface (18) für einen Peripherie-IC, das mit dem Bus für den Peripherie-IC verbunden ist, wobei das Interface für die Ebene höherer Ordnung folgendes aufweist:

einen Interface-Körper (17a); und

einen Zugriffs-Controller (17b) zur Steuerung des Zugriffs auf das Register für

eine Ebene höherer Ordnung, und wobei

das Interface für den Peripherie-IC folgendes aufweist:

einen Interface-Körper (18a); und

einen Zugriffs-Controller (18b) zur Steuerung des Zugriffs auf das Register für

eine Ebene höherer Ordnung,

wobei der Zugriffs-Controller des Interfaces für den Peripherie-IC, der Zugriffs-Controller des Interfaces für die Ebene höherer Ordnung und das Register für die Ebene höherer Ordnung jeweils ein erstes internes Taktsignal (14) empfangen.

10. Kommunikationsbaugruppe nach Anspruch 9, die weiterhin folgendes aufweist:

einen Generator (19) zur Erzeugung des ersten internen Taktsignals.

11. Kommunikationsbaugruppe nach Anspruch 10, dadurch gekennzeichnet,

daß der Interface-Körper (17a) des Interfaces für eine Ebene höherer Ordnung auf der Basis eines ersten externen Taktsignals (71) arbeitet, das ihm über den Bus (3) für eine Ebene höherer Ordnung zur Verfügung gestellt wird,

und daß der Interface-Körper (18a) des Interfaces für den Peripherie-IC auf der Basis eines zweiten externen Taktsignals (81) arbeitet, das ihm über den Bus (4) für den Peripherie-IC zur Verfügung gestellt wird.

12. Kommunikationsbaugruppe nach Anspruch 11, dadurch gekennzeichnet, daß der Bus (4) für den Peripherie-IC ein I²C-Bus ist und daß das zweite externe Taktsignal (81) von einer SCL (serielle Takt-Leitung) des I²C-Busses gegeben wird.

13. Kommunikationsbaugruppe nach Anspruch 12, dadurch gekennzeichnet,

daß eine SDA (serielle Daten-Leitung) des I²C-Busses mit dem Interface-Körper des Interfaces für den Peripherie-IC verbunden ist,

daß das zweite externe Taktsignal und ein Signal auf der SDA unter Verwendung eines zweiten internen Taktsignals abgetastet werden, das eine höhere Frequenz besitzt als das zweite externe Taktsignal, und daß das zweite interne Taktsignal innerhalb der Kommunikationsbaugruppe erzeugt wird.

14. Kommunikationsbaugruppe nach Anspruch 8, die weiterhin folgendes aufweist:

eine Sende- und eine Empfangseinheit (5, 6),

wobei das Anomalie-Warnsignal von dem peripheren integrierten Schaltkreis an die Ebene höherer Ordnung in dem Fall ausgegeben wird, in dem eine Anomalie in der Sende- und/oder Empfangseinheit erfaßt wird.

15. Kommunikationsbaugruppe nach Anspruch 14, dadurch gekennzeichnet, daß eine Anomalie in den Kommunikationsdaten von dem integrierten Transceiver-Schaltkreis an den peripheren integrierten Schaltkreis übertragen wird und daß das Anomalie-Warnsignal weiterhin von dem peripheren integrierten Schaltkreis an die Ebene höherer Ordnung in dem Fall gegeben wird, in dem die Anomalie in den Kommunikationsdaten erfaßt wird.

16. Kommunikationsbaugruppe nach einem der Ansprüche 8 bis 15, dadurch gekennzeichnet, daß das Register für die Ebene höherer Ordnung mindestens ein nicht flüchtiges Register und/oder ein digitales optisches Überwachungsregister gemäß einem XENPAK-Registersatz aufweist.

Es folgen 3 Blatt Zeichnungen

FIG. 1

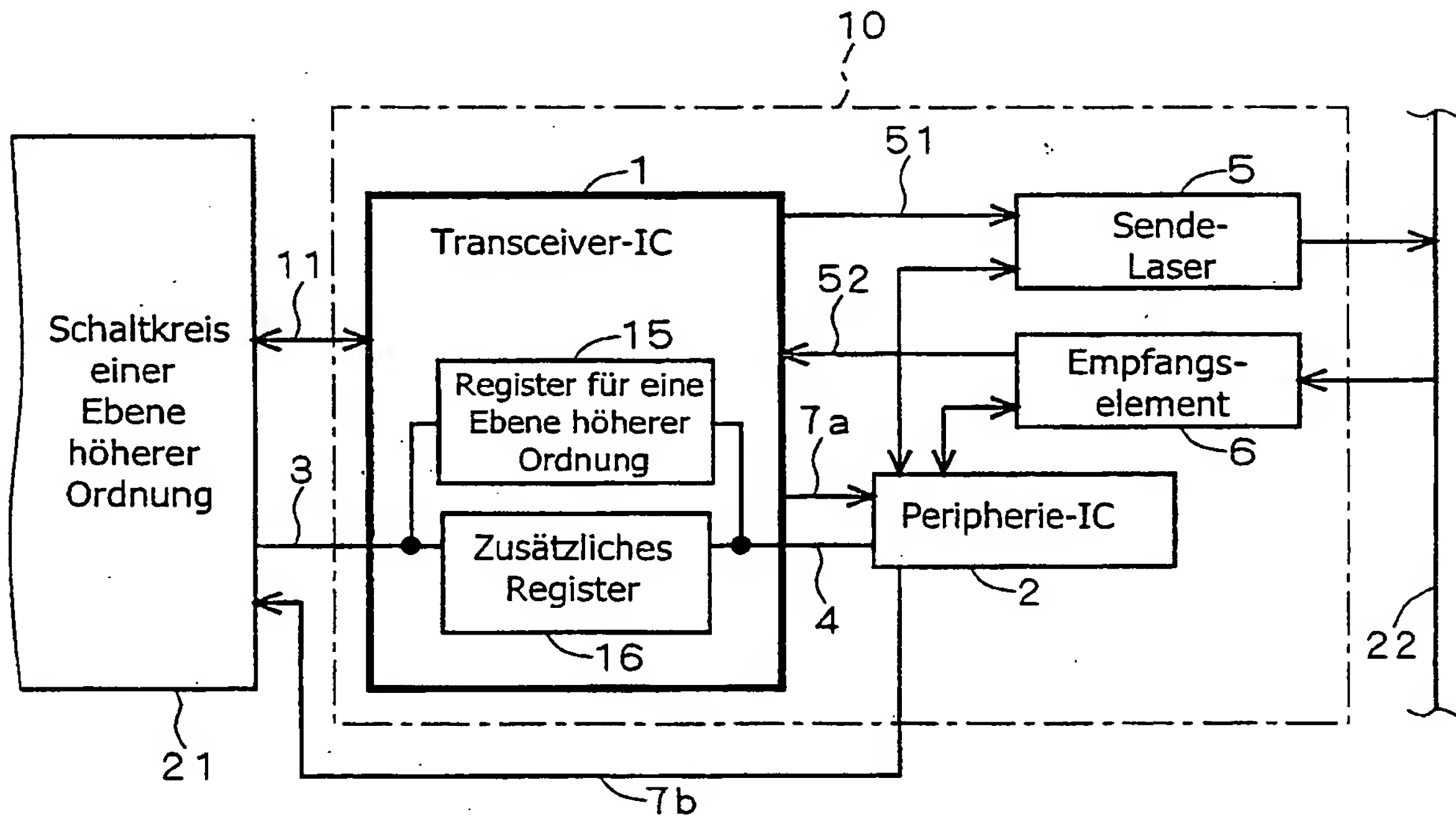


FIG. 2

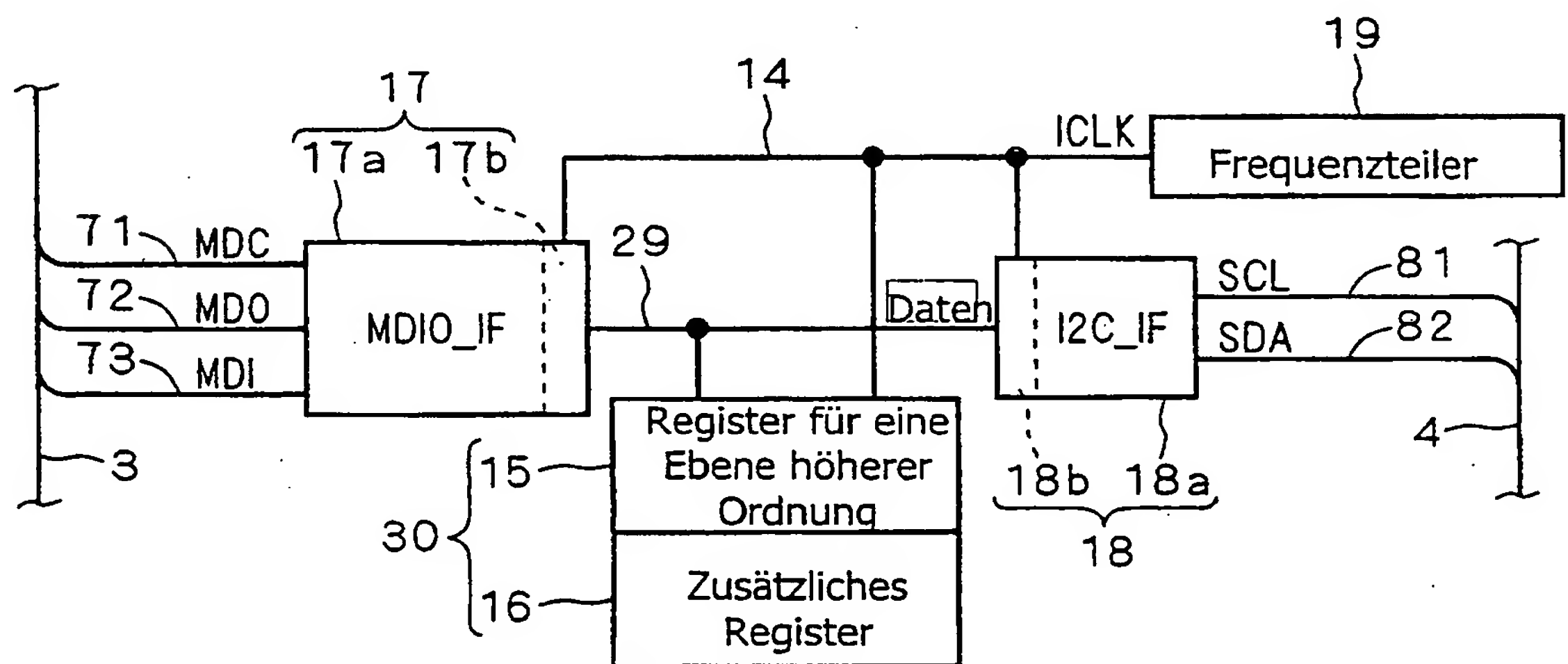


FIG. 3

